EECS1010 心得報告

系級:\_\_應用數學系\_\_

姓名:\_\_\_詹其侁\_\_\_\_\_

學號: 210510210

評分:\_\_\_\_\_\_\_ (0~5分外加至總成績)

1. 我如何學習本課程 :

這堂課很重視實作，所以在學習的過程中，除了上課認真地聽老師講解，也會自己去看老師放的講義，還記得第一堂課的時候真的很慌，因為看講義完全看不懂verilog，再加上我是外系的，所以不確定這個是不是大家都會了，後來就去看助教放在網路上的教學，才慢慢摸索出來。學習的過程就是上課聽完，回去會翻過，但在lab一定會碰到很多問題，這時候就去網路看文獻，跟同學討論，然後問助教，每次都能在lab裡面學到很多，而且在lab3之後，又多了一個nWave可以去看看我是哪裡搞不太清楚，才會寫錯，就可以去印證我對筆記和講義的理解是不是正確的。

1. 我最有心得的子題

最有心得的子題應該是sequential circuit了，因為在這之前，我真的沒想過電路可以有記憶性，雖然電腦就是很好的例子，可是我一開始對這個真的沒概念，雖然上課很認真聽，可是在做lab3的時候我還是搞不清楚DFF究竟是要幹嘛的，直到做到某一刻才突然想明白它的用途。前面都還可以，直到這裡突然就變得超難，也加入很多東西，也是從這裡，就變得很有趣，有counter也有紅綠燈的例子，到後來竟然還能在優化，感覺真的學無止境。

1. 我學得最不好的子題

應該也是sequential circuit因為在lab3跟lab4我都一直問同學跟助教，真的沒有他們的幫助，我應該根本就做不出來，雖然我一直上網看資料，可是還是搞不清楚到底在做什麼，而且我要去計算timing幾乎都算錯，真的學得很崩潰，但好在都有順利做出來，而且也是前面的鋪陳，讓我lab5做的比較順利，甚至有能力去幫同學解決問題，只是對於我而言，還是遠遠不夠的，因為我知道雖然後面做得很順利，但前面如果沒有助教小小的提示，也不可能做得好。而且目前nWave我也沒有到看得很仔細，我通常都是看state有沒有按照我要的跑，然後值對不對這樣，並不能夠細到知道每個cycle的狀態是不是對的，只是粗略的debug，但就算只是這樣，也幫助我解決了很多問題。

1. Labs之心得

* Lab1 : 這個lab是幫我們打基礎，在剛開始接觸的時候，我真的很慌張，因為我不會verilog，甚至有去找bob問他這樣寫得出來嗎，bob提醒我，助教在網路放的教學都蠻詳細的，照著做就可以理解，所以我就花了很多時間，去掌握這個部分。這個lab要我們孰悉3種verilog的語法，一開始我並沒有看助教的教學，所以在聽助教講的時候，就霧煞煞的，覺得這三種感覺都沒有差別阿，後來了解才覺得真的差很大，在有些時候幾乎只能用特定的語法，像state我就不知道怎麼用Gate description 跟 data flow來實作。而學完這些後，把k-map做出來，這次lab基本上就可以搞定了!
* Lab2 : 這個lab說實話我第一次看到的時候真的被嚇傻了，因為lab1要我們做一個功能，這次一下子多出16個功能要完成，我甚至連mux都不知道怎麼實作。但不得不說，這個lab真的是我覺得在過程當中，最有成就感的一次lab，因為在做的時候，我每做出一個功能，就會先跑看看答案，看到又多對了兩個，就真的很雀躍，就這樣慢慢地完成，中間有幾個在做的時候比較特別的，其中一個功能是相乘，我卡超久，我一直翻講義，因為2進位的相乘很麻煩，所以我就在想要怎麼做，可是我往下滑，看到bonus就領悟了，接著我就驗證看看是不是真的只是直接寫a\*b就好，結果真的如此，幸好有做，不然我真的以後可能都傻傻地在用一個自己寫的mul去做之後的lab。還有就是發現$signed可以拿來變成有符號數，這解決了sign extension的問題，最飲恨的就是bonus差一點點就過了，後來發現問題好像是我忘記sign extension因為bonus不能用$signed 所以我那時候寫到頭暈就忘記還要改這個了。
* Lab3 : 這是第一次要畫state的lab相對於後面的這次應該要算簡單，但對於當時的我來說真的不知道要怎麼做，我雖然有畫出state可是根本就不知道怎麼讀長度，是去問助教才知道要用一個init的state來讀長度，而且我一開始要讓電路記住的東西是什麼都沒先搞清楚，所以寫得很痛苦，但有了這次的經驗，我在做sequential circuit的時候，都會先看看有那些要記住的資訊，然後就先把DFF寫好，而不會盲目地寫。幸好我沒有放棄每一次的lab，在這次lab合成電路的時候，發生了”too many module instance parameter assignment”的錯誤，後來經過同學幫忙才解決了這個問題，如果沒解決，後面的lab也都不用做了，所以感覺每一次都有收穫，但也因為沒有很孰悉，所以bonus根本做不出來。
* Lab4 : 這是第二個sequential circuit的lab可是我並沒有比較熟，雖然都有寫出來，但是因為不會看nWave導致一直碰壁，常常搞不清楚，為什麼我會錯，有時候是小問題，有時候是漏寫了DFF所以這次lab讓我學會怎麼更好的使用nWave來debug，在做的時候，要去想怎麼樣解決這些矩陣index的問題，在做完後，感覺對於這些index的變換又更加孰悉了，而且這次的opcode並不是傳進來，下個state才會有作用，而是這個state的opcode是什麼，那他的作用就是什麼，所以算是一個很大的盲點，一開始我這邊就卡很久，尤其那時候又對nWave不是很熟，到後來才發現是因為tb的關係，所以才會這樣不同。
* Lab5 : 在剛開始看到的時候真的嚇死，因為完全不知道該怎麼做，相信助教應該也有看到我驚恐的臉，可是後來問助教，得到了一點關於state該怎麼寫的提示後，就寫得比較順了，中間雖然也有卡很多次，尤其是最後我都覺得沒錯了，才發現，我竟然沒有把答案給out\_data難怪每次都是X，只是有個地方我想不明白，因為助教說用negedge比較好寫，可是我沒有用到，本來想去問，只是6/6星期四沒遇到助教，所以有點可惜，這次的lab也讓我對sequential circuit更有感覺。

1. 修完本課程之後續學習規劃

修完本課程後，會跟同學一起去修邏輯設計實驗，因為趁著對verilog的熱度還在，先繼續往上學，同時軟體方面會去修資料結構，OS等課程，希望在學習硬體語言的同時，不要落下了軟體語言的進度，這次也有申請雙主修，希望可以撐得下去。

1. 對本課程之建議

很喜歡老師上課的方式，緊湊的lab也會讓自己不停地反覆確認是否真的有理解，可是有時候會被老師擋到，所以後來就都會想辦法搶中間的位置。老師在講投影片的時候，會有點困，雖然沒有睡著過，可是會不小心神遊，我猜可能是手沒有在動，而且有些投影面還沒理解好，老師就講完了。建議老師在一些比較需要理解的投影片可以停多一點點時間。其他都很完美，謝謝老師跟助教。